

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-094366

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H03K 19/0175

G11C 11/417

G11C 17/18

G11C 16/06

(21)Application number : 2000-282482

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.09.2000

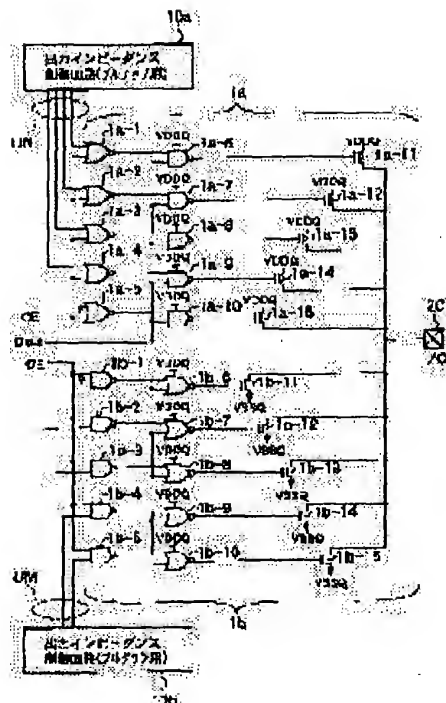
(72)Inventor : OTSUKA NOBUAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that can match impedance with high accuracy by suppressing error in an operating voltage with respect to its fluctuations, when applying programmable impedance control to an output buffer circuit.

SOLUTION: In the semiconductor device provided with an internal circuit section that realizes a prescribed operation and with the output buffer circuit that drives output data outputted from the internal circuit section to provide an output of the data to a data output terminal, the output buffer circuit is configured with the output buffer circuit having an output transistor(TR) group, that drives the data output terminal at a low level and an output pre-stage circuit group that drives the gate of the output TR group, and a power supply of the output pre-stage circuit group is driven by a 2nd power supply VDDQ for output drive, whose voltage is selected different from the voltage of a 1st power supply VDD that drives the internal circuit section.



LEGAL STATUS

[Date of request for examination]

28.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-94366

(P2002-94366A)

(43) 公開日 平成14年3月29日(2002.3.29)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 F 5 B 0 0 3

G 1 1 C 11/417

G 1 1 C 11/34

3 0 5 5 B 0 1 5

17/18

17/00

3 0 6 Z 5 B 0 2 5

16/06

6 3 6 B 5 J 0 5 6

H 0 3 K 19/00

1 0 1 Q

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21) 出願番号

特願2000-282482(P2000-282482)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(22) 出願日

平成12年9月18日(2000.9.18)

(72) 発明者 大塚 伸朗

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

Fターム(参考) 5B003 AC01 AD04

5B015 HH01 JJ45 KB33

5B025 AD05 AE00

5J056 AA04 BB40 CC00 CC17 DD13

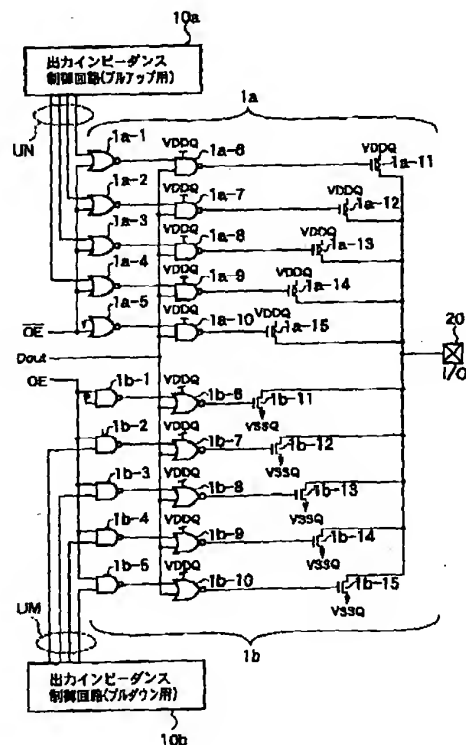
DD29 EE15 GG13 HH04

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 出力バッファ回路に対してプログラマブルインピーダンス制御を行うに際し、動作電圧の変動に対する誤差を抑えて精度良くインピーダンスの合わせ込みを行うことができる半導体装置を提供する。

【解決手段】 所定の動作を実現する内部回路部と、前記内部回路部から出力された出力データを駆動してデータ出力端子へ出力する出力バッファ回路とを備えた半導体装置において、前記出力バッファ回路は、前記データ出力端子を低レベルに駆動する出力トランジスタ群と、前記出力トランジスタ群のゲートを駆動する出力前段回路群とを有し、前記出力前段回路群の電源を、前記内部回路部を駆動する第1の電源VDDと異なる電位に設定された出力駆動用の第2の電源VDDQで駆動する構成にした。



【特許請求の範囲】

【請求項 1】 所定の動作を実現する内部回路部と、前記内部回路部から出力された出力データを駆動してデータ出力端子へ出力する出力バッファ回路とを備えた半導体装置において、

前記出力バッファ回路は、

前記データ出力端子を低レベルに駆動する出力トランジスタ群と、

前記出力トランジスタ群のゲートを駆動する出力前段回路群とを有し、前記出力前段回路群の電源を、前記内部回路部を駆動する第 1 の電源と異なる電位に設定された出力駆動用の第 2 の電源で駆動する構成にしたことを特徴とする半導体装置。

【請求項 2】 前記第 2 の電源は、前記第 1 の電源よりも低い電位に設定し、前記第 1 と第 2 の電源の電位差に応じて前記出力前段回路群の回路閾値を設定したことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記出力トランジスタ群の一部のトランジスタから成るトランジスタ小群は、各トランジスタのチャネル幅が二のべき乗の比率となるように設定された構造であることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記出力バッファ回路のインピーダンスを制御する出力インピーダンス制御回路を有し、 n （2 以上の正の整数）個の前記トランジスタ小群のゲート駆動信号の論理は、前記内部回路部から出力された 1 つの出力データの論理と、前記出力インピーダンス制御回路からの n ビットの制御信号の論理とに基づいて、前記出力前段回路群において決定することを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記出力トランジスタ群を構成する各トランジスタは、ソースを接地電位に、ドレインを前記データ出力端子にそれぞれ接続したことを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の半導体装置。

【請求項 6】 所定の動作を実現する内部回路部と、前記内部回路部から出力された出力データを駆動してデータ出力端子へ出力する出力バッファ回路とを備えた半導体装置において、

前記出力バッファ回路は、

前記データ出力端子を低レベルに駆動する第 1 の出力トランジスタ群と、前記データ出力端子を高レベルに駆動する第 2 の出力トランジスタ群と、前記第 1 の出力トランジスタ群のゲートを駆動する第 1 の出力前段回路群と、前記第 2 の出力トランジスタ群のゲートを駆動する第 2 の出力前段回路群とを有し、前記第 1 及び第 2 の出力前段回路群の電源を、前記内部回路部を駆動する第 1 の電源と異なる電位に設定された出力駆動用の第 2 の電源で駆動する構成にしたことを特徴とする半導体装置。

【請求項 7】 前記第 2 の電源は、前記第 1 の電源よりも低い電位に設定し、前記第 1 と前記第 2 の電源の電位

差に応じて前記第 1 及び第 2 の出力前段回路群の回路閾値を設定したことを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記第 1 の出力トランジスタ群の一部のトランジスタから成る第 1 のトランジスタ小群、及び前記第 2 の出力トランジスタ群の一部のトランジスタから成る第 2 のトランジスタ小群は、各トランジスタのチャネル幅が二のべき乗の比率となるように設定されたことを特徴とする請求項 6 または請求項 7 に記載の半導体装置。

【請求項 9】 前記出力バッファ回路のインピーダンスを制御する第 1 及び第 2 の出力インピーダンス制御回路を有し、

n （2 以上の正の整数）個のトランジスタで構成される前記第 1 のトランジスタ小群のゲート駆動信号の論理は、前記内部回路部から出力された出力データの論理と、前記出力インピーダンス制御回路からの n ビットの制御信号の論理とに基づいて、前記第 1 の出力前段回路群において決定し、

m （2 以上の正の整数）個のトランジスタで構成される前記第 2 のトランジスタ小群のゲート駆動信号の論理は、前記出力データの論理と、前記出力インピーダンス制御回路からの m ビットの制御信号の論理とに基づいて、前記第 2 の出力前段回路群において決定することを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記第 1 の出力トランジスタ群を構成する各トランジスタは、ソースを接地レベルに、ドレインを前記データ出力端子にそれぞれ接続し、前記第 2 の出力トランジスタ群を構成する各トランジスタは、ソースを前記第 2 の電源に、ドレインを前記データ出力端子にそれぞれ接続したことを特徴とする請求項 6 乃至請求項 9 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、I/O パッドなどのデータ出力端子に出力データを出力する出力バッファ回路を有する半導体装置に関し、特に前記出力バッファ回路のインピーダンスを外部インピーダンスに合わせて調節可能とする機能を備えたメモリ等の半導体装置に関する。

【0002】

【従来の技術】MPU の性能向上に伴い、記憶装置（メモリ）に要求されるデータ転送速度も高速化の一途を辿り、外部キャッシュメモリなどの動作周波数は数百 MHz レベルになっている。

【0003】このような周波数でメモリの出力データを MPU に転送するためには、ボード上データバスにおける信号反射などを考慮にいれて、メモリ側の出力バッファ回路のインピーダンスとボード上データバスのインピーダンスとのマッチングをとることが必要となる。動作

周波数の増加に伴い、このインピーダンスマッチングの必要とされる精度もより厳しくなっている。そのため、回路設計時からのズレを含めて補正するような機能が用いられるようになった。

【0004】この機能は、具体的には、プロセスバラツキなど製造工程におけるバラツキやズレといったもの、さらには使用条件（動作温度、動作電圧など）に起因して、メモリ側の出力バッファ回路におけるトランジスタの実効的な駆動力に関する特性が変化することに対して、それらを補正すべくトランジスタサイズを回路的に変化させることで、その駆動力を所望の値に調節する、といった機能（プログラマブルインピーダンス制御機能）であり、この機能を実現する例として図7に挙げるような回路がある。

【0005】図7は、従来のプログラマブルインピーダンス制御機能の全体な構成を示すブロック図である。

【0006】例えばユーザーがマッチングさせたいバスのインピーダンスを、ZQ端子に抵抗RQとして外付けすることにより、出力インピーダンス制御回路は、出力バッファ回路111のインピーダンスが抵抗RQに合うように、出力バッファ回路111のトランジスタサイズを変えるように制御する。

【0007】本例の出力インピーダンス制御回路において、評価回路112は、NMOSTランジスタ112aと抵抗R0、R1からなる基準電流源回路と、出力バッファ回路111と同様の回路形式（あるいはサイズが定数倍）を持つダミーバッファ回路（1X、2X、4X、8X）とを有し、基準電流源回路により発生した、ZQ端子の電圧VZQと前記ダミーバッファ回路へ印加される電圧VEVALとを電圧比較回路113に与える。この電圧比較回路113の出力に応じてアップ/ダウンカウントを行うアップ/ダウンカウンタ114は、上記の電圧VZQと電圧VEVALの電圧とが一致するように、ダミーバッファ回路のNMOSTランジスタ1X～8Xのオン/オフ切替えを行う。このようにして、ダミーバッファ回路のインピーダンスが外部抵抗RQに合うように制御される。

【0008】そして、このダミーバッファ回路の合わせ込みインピーダンスに対応するデータは、データ更新コントローラ119を介して出力バッファ回路111へ送られ、該データに基づいて、出力バッファ回路111を構成する外部駆動用トランジスタ1Y～8Y、1Z～8Zが選択的にオン/オフ制御される。これにより、出力バッファ回路111は外部抵抗RQにより決まるインピーダンスに設定される。

【0009】かかる回路においては、出力バッファ回路111のプルアップ側及びプルダウン側が共にNMOSTランジスタで構成されているために、これらトランジスタにおけるプロセスバラツキ及び動作環境によるバラツキは共に揃い、NMOSTランジスタから成るダミー

バッファ回路を用いて一系統で合わせ込んだ結果を、これらトランジスタに適応が可能である。

【0010】しかし、プルアップ側がPMOSTランジスタで構成されている場合は、プロセスバラツキがNMOSTランジスタと異なるために、PMOSTランジスタのダミーバッファ回路を用いた別系統のインピーダンスの合わせ込みを行う必要がある。

【0011】図8は、二系統のインピーダンス合わせ込みが行われる従来の出力インピーダンス制御回路の構成を示す回路図である。

【0012】この出力インピーダンス制御回路の基準電流源回路211は、回路の高レベル側電源VDDと低レベル側電源VSSの間の中間レベル電源VDDQを用いて、ZQ端子に定電圧を与える基準電圧発生回路221を有する。

【0013】プルダウン用ダミーバッファ回路Ndmは、複数個（図の場合、N個）併設されたNMOSTランジスタN31、N32、…、N33により構成され、ゲート幅は1:2:4:…のように設定されている。

【0014】カウンタ224のNビット出力D0～DN-1は、それぞれNMOSTランジスタN31、N32、…、N33のゲートに入る。従って、前記プルダウン用の合わせ込みコントローラ213は、ノードREF1Uの電圧が基準電圧VZQに一致するように、ダミーバッファ回路NdmのNMOSTランジスタN31、N32、…、N33のオン/オフを決定し、これによって、ダミーバッファ回路Ndmのサイズが決定される。

【0015】一方、プルアップ用ダミーバッファ回路Pdmは、複数個（図の場合、M個）併設されたPMOSTランジスタP31、P32、…、P33により構成され、ゲート幅は1:2:4:…のように設定されている。カウンタ225のMビット出力U0～UM-1は、それぞれPMOSTランジスタP31、P32、…、P33のゲートに入る。従って、プルアップ用の合わせ込みコントローラ215は、ノードREF1Dの電圧が基準電圧VZQに一致するように、ダミーバッファ回路PdmのPMOSTランジスタP31、P32、…、P33のオン/オフを決定し、これにより、ダミーバッファ回路Pdmのサイズが決定される。

【0016】以上のようにして、各ダミーバッファ回路Ndm、Pdmのサイズ（即ちインピーダンス）は、外部抵抗RQに対応して生成される基準電流IZQに基づいて決定され、これを決定したプルアップ及びプルダウン用の合わせ込みコントローラ213、215の出力D0～DN-1、U0～UM-1は、出力バッファ回路（図示省略）に送られて、当該出力バッファ回路のインピーダンスが設定される。

【0017】図9は、従来の出力バッファ回路の構成を示す回路図である。

【0018】図中のVDD、VSSは、半導体装置の回

路駆動用に印加される標準的な電源であり、 V_{DDQ} 、 V_{SSQ} は、I/O用に印加される電源である。 V_{DDQ} がI/Oパッド20から出力される出力データの“H”レベル、 V_{SSQ} が“L”レベルを決めており、図9にあるように、それぞれが出力最終段におけるプルアップ側のPMOSトランジスタ2a-11~2a-15のソース電極、プルダウン側のNMOSトランジスタ2b-11~2b-15のソース電極に印加される。一般的に、 $V_{SSQ}=V_{SS}(=0V)$ 、 $V_{DDQ}<V_{DD}$ となっている場合が多いので、以下この条件で考える。

【0019】出力最終段のプルダウン側のNMOSトランジスタ2b-11~2b-15及びプルアップ側のPMOSトランジスタ2a-11~2a-15のゲートには、読み出しデータDout、OE信号、及び当該出力バッファ回路のインピーダンスを制御のための制御信号UN、UMの論理をとったCMOS回路2a-6~2a-10、2b-6~2b-10の出力が入力され、これら信号の論理に応じて出力トランジスタとなるPMOS2a-11~2a-15、NMOS2b-11~2b-15のオン/オフが制御される。

【0020】ここで、プルダウン側のNMOSトランジスタ2b-11~2b-15は、“H”レベルが V_{DD} レベル、“L”レベルが V_{SS} レベルのCMOS回路2b-6~2b-10で駆動されている。“L”レベルが V_{SS} となっているのは、出力段のNMOSトランジスタ2b-11~2b-15のソースが $V_{SSQ}=V_{SS}$ であるため、オフさせるには同じレベルの V_{SS} をゲートに入力する必要があるためである。また、“H”レベルに V_{DD} を用いているのは、他のCMOS回路が当然ながら V_{DD} 電源で駆動されており、その延長線上でもっとも自然な方式であることに加え、出力最終段のトランジスタの性能を上げるためには、同じサイズでも電流駆動力が高いことが望まれ、そのためにはゲート電位が高い方がよい。よって、 V_{DDQ} よりも電位の高い V_{DD} レベルで駆動しているのである。

【0021】一方、プルアップ側のPMOSトランジスタ2a-11~2a-15は、“H”レベルが V_{DDQ} レベル、“L”レベルが V_{SS} レベルのCMOS回路2a-6~2a-10で駆動されている。NMOSトランジスタ同様、PMOSトランジスタの駆動力を上げるには“L”レベルは低い方がよいが、負電位を発生する回路などを有しない通常の半導体装置の場合、チップ内部の最低電位レベルとしては V_{SS} となる。

【0022】PMOSトランジスタ2a-11~2a-15を逆にオフさせるには、ソースが V_{DDQ} であることから、ゲートには V_{DDQ} 以上の電圧を印加させる必要があり、この点からは、ゲートの“H”レベル入力、 V_{DDQ} でも V_{DD} でも構わないことになる。しかし、 V_{DD} など V_{DDQ} 以上のレベルに設定すると、オ

フからオンに移移する場合の遅延が生じるという問題がある。つまり、図10に示すように、ゲートが“H”レベルから“L”レベルに移移する場合、PMOSトランジスタを導通するためのゲート電位が、 $V_{DDQ}-|V_{thp}|$ に達するまでの時間が Δt だけ余計にかかり、性能を低下させることになる。ここで、 V_{thp} はPMOSトランジスタの閾値電位である。

【0023】従って、プルアップ側のPMOSトランジスタ2a-11~2a-15は、“H”レベルが V_{DDQ} レベル、“L”レベルが V_{SS} レベルのCMOS回路2a-6~2a-10で駆動されるのが一般的である。

【0024】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置では、次のような問題点があった。

【0025】まず、インピーダンスの合わせ込み精度について考えると、プログラムインピーダンス制御とは、先に述べたように、プロセスばらつきなどの製造工程におけるばらつきやズレに起因する特性変化、さらには動作温度や動作電圧などの使用条件に起因する特性変化の両者に対して、それらを補正するための機能である。よって、出力段のトランジスタの二のべき乗の組み合わせでカバーされるインピーダンスの範囲については、これらすべての条件が如何なる変動しようとも、所望の範囲を必ずカバーするようにしなくてはならない。

【0026】この点を図11で説明する。並列接続されるトランジスタにおいて、オフセット分と二のべき乗分のサイズの組み合わせで実現できるインピーダンスとしては、すべてのトランジスタがオンとした場合が最小インピーダンスであり、逆にオフセット分を除く、二のべき乗分がすべてオフとした場合が最大インピーダンスである。

【0027】これら最大、最小間でカバーするインピーダンスの絶対値そのものは、上記種々の条件によりトランジスタの流し得る電流値が変化すると、これに応じて変化する。つまり、種々の条件がトランジスタの電流減少の条件に偏った場合、インピーダンスは大きい方にシフトし(図11の(a))、逆に、種々の条件がトランジスタの電流増加の条件に偏った場合、インピーダンスは小さい方にシフトする(図11の(b))。

【0028】例えばカバー範囲が $35\Omega\sim70\Omega$ と定められているときには、条件によらずこの範囲を実現する必要があり、図11の(a)と(b)で示すインピーダンス範囲の重なる部分が $35\Omega\sim70\Omega$ を含むようにしなくてはならない。よって、あるサイズのトランジスタの条件変動による電流値変動が大きいと、インピーダンスのシフト量が大きくなり、最終出力段トランジスタのサイズ設定において、余計なマージン分をとっておくことが必要となる。

【0029】ここで、例えば二のべき乗の組み合わせが5ビットであったとすると、設定すべきサイズ範囲を2

5 = 32ステップに分割して、サイズ設定する訳であるが、サイズ設定のマージン分が大きくなると、1ステップでのサイズ設定が大きくなることになり、これによる誤差（以下ステップ誤差）が大きくなってしまう。

【0030】具体的に、動作電圧、つまり電源電圧VDD、VDDQの変動に対してのインピーダンス補正について考える。

【0031】通常、電源電圧は、VDD、VDDQ共に、仕様上、ユーザーに対して、標準設定値につき±5%、±0.1Vといった変動が許容されており、これら
10 の如何なる条件下でもインピーダンス補正が行われる必要がある。ここで、出力段のNMOSTランジスタについて図12を用いて考える。

【0032】インピーダンス(Z)の定義としては、出力ノード、つまりNMOSTランジスタのドレインレベルが、VDDQ/2となったところで考えることになっているので、 $Z = V/I$ の電圧VはVDDQ/2となる。よって、インピーダンス(Z)を一定にするには、VDDQの変動に対して、電流Iがリニアに変動することが望ましい。

【0033】ここで、従来例(図9)の場合において、NMOSTランジスタ2b-11~2b-15がオンする時のゲート電位は、VDDレベルであり、この電位はVDDQレベルとは無関係に変動する。つまり、VDDQが一定で電流値も一定であることが望ましい場合でも、ゲート電位であるVDDが高くなると電流が増えてしまったり、逆にVDDが低くなると電流が減ってしまい、インピーダンス値がずれることになる。最悪ケースとしては、VDDQが高くなり、電流Iもリニアに増加することが望ましい場合でも、VDDが逆に低くなり電流が減るとか、逆にVDDQが低くなり電流値も減少することが望ましい場合でも、VDDが上がってその分電流が増えてしまうということもあり得る。

【0034】よって、VDDの変動分を考慮して、サイズ設定のマージン分を余計にとっておくことが必要となることになり、インピーダンス合わせ込みのステップ誤差が増加する、という問題があった。

【0035】本発明は、上述の如き従来の問題点を解決するためになされたもので、その目的は、電源電圧の変動に対する出力トランジスタの電流駆動力のバラツキを抑制することができる出力バッファ回路を有する半導体装置を提供するものである。また、その他の目的は、出力バッファ回路に対してプログラマブルインピーダンス制御を行うに際し、動作電圧の変動に対する誤差を抑えて精度良くインピーダンスの合わせ込みを行うことができる半導体装置を提供することである。

【0036】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の発明に係る半導体装置では、所定の動作を実現する内部回路部と、前記内部回路部から出力

された出力データを駆動してデータ出力端子へ出力する出力バッファ回路とを備えた半導体装置において、前記出力バッファ回路は、前記データ出力端子を低レベルに駆動する出力トランジスタ群と、前記出力トランジスタ群のゲートを駆動する出力前段回路群とを有し、前記出力前段回路群の電源を、前記内部回路部を駆動する第1の電源と異なる電位に設定された出力駆動用の第2の電源で駆動する構成にしたことを特徴とする。

【0037】請求項2記載の発明に係る半導体装置では、請求項1に記載の半導体装置において、前記第2の電源は、前記第1の電源よりも低い電位に設定し、前記第1と第2の電源の電位差に応じて前記出力前段回路群の回路閾値を設定したことを特徴とする。

【0038】請求項3記載の発明に係る半導体装置では、請求項1または請求項2に記載の半導体装置において、前記出力トランジスタ群の一部のトランジスタから成るトランジスタ小群は、各トランジスタのチャネル幅がこのべき乗の比率となるように設定された構造であることを特徴とする。

【0039】請求項4記載の発明に係る半導体装置では、請求項3に記載の半導体装置において、前記出力バッファ回路のインピーダンスを制御する出力インピーダンス制御回路を有し、n(2以上の正の整数)個の前記トランジスタ小群のゲート駆動信号の論理は、前記内部回路部から出力された1つの出力データの論理と、前記出力インピーダンス制御回路からのnビットの制御信号の論理とに基づいて、前記出力前段回路群において決定することを特徴とする。

【0040】請求項5記載の発明に係る半導体装置では、請求項1乃至請求項4のいずれかに記載の半導体装置において、前記出力トランジスタ群を構成する各トランジスタは、ソースを接地電位に、ドレインを前記データ出力端子にそれぞれ接続したことを特徴とする。

【0041】請求項6記載の発明に係る半導体装置では、所定の動作を実現する内部回路部と、前記内部回路部から出力された出力データを駆動してデータ出力端子へ出力する出力バッファ回路とを備えた半導体装置において、前記出力バッファ回路は、前記データ出力端子を低レベルに駆動する第1の出力トランジスタ群と、前記データ出力端子を高レベルに駆動する第2の出力トランジスタ群と、前記第1の出力トランジスタ群のゲートを駆動する第1の出力前段回路群と、前記第2の出力トランジスタ群のゲートを駆動する第2の出力前段回路群とを有し、前記第1及び第2の出力前段回路群の電源を、前記内部回路部を駆動する第1の電源と異なる電位に設定された出力駆動用の第2の電源で駆動する構成にしたことを特徴とする。

【0042】請求項7記載の発明に係る半導体装置では、請求項6に記載の半導体装置において、前記第2の電源は、前記第1の電源よりも低い電位に設定し、前記

第1と前記第2の電源の電位差に応じて前記第1及び第2の出力前段回路群の回路閾値を設定したことを特徴とする。

【0043】請求項8記載の発明に係る半導体装置では、請求項6または請求項7に記載の半導体装置において、前記第1の出力トランジスタ群の一部のトランジスタから成る第1のトランジスタ小群、及び前記第2の出力トランジスタ群の一部のトランジスタから成る第2のトランジスタ小群は、各トランジスタのチャネル幅が二のべき乗の比率となるように設定されたことを特徴とする。

【0044】請求項9記載の発明に係る半導体装置では、請求項8に記載の半導体装置において、前記出力バッファ回路のインピーダンスを制御する第1及び第2の出力インピーダンス制御回路を有し、 n （2以上の正の整数）個のトランジスタで構成される前記第1のトランジスタ小群のゲート駆動信号の論理は、前記内部回路部から出力された出力データの論理と、前記出力インピーダンス制御回路からの n ビットの制御信号の論理とに基づいて、前記第1の出力前段回路群において決定し、 m （2以上の正の整数）個のトランジスタで構成される前記第2のトランジスタ小群のゲート駆動信号の論理は、前記出力データの論理と、前記出力インピーダンス制御回路からの m ビットの制御信号の論理とに基づいて、前記第2の出力前段回路群において決定することを特徴とする。

【0045】請求項10記載の発明に係る半導体装置では、請求項6乃至請求項9のいずれかに記載の半導体装置において、前記第1の出力トランジスタ群を構成する各トランジスタは、ソースを接地レベルに、ドレインを前記データ出力端子にそれぞれ接続し、前記第2の出力トランジスタ群を構成する各トランジスタは、ソースを前記第2の電源に、ドレインを前記データ出力端子にそれぞれ接続したことを特徴とする。

【0046】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0047】図1は、本発明の実施の一形態に係る半導体装置の出力バッファ回路の構成を示す回路図である。また、図2は、本実施形態に係る半導体装置に設けられた出力インピーダンス制御回路の要部回路図であり、図3は、同出力インピーダンス制御回路の要部ブロック図である。さらに、図4は、図1に示した出力バッファ回路と出力インピーダンス制御回路を備えた半導体装置であるメモリチップの主要構成ブロック図であり、図5は、本実施形態の半導体装置であるメモリチップが搭載されたシステム図である。

【0048】まず、図5において、ボード（PCB）60上には、本実施形態のメモリチップ30が搭載されており、このメモリチップ30のI/Oパッド20がデー

タバス63を介してMPU61の入力パッド62に接続されている。

【0049】メモリチップ30は、図4に示すように、アドレスパッド36からアドレスバッファ37を介して入力されたアドレスデータが、ロウセクタ32とカラムセクタ33に供給されて、メモリアレイ31中の所望の書き込みセルまたは読み出しセルが選択されるように構成されている。

【0050】なお、図4では、説明を簡単にするために、アドレスバッファ37を単体で示しているが、実際は、アドレスデータは、 n ビットのロウアドレスデータと m ビットのカラムアドレスデータとで構成されており、これに対応して、アドレスパッド36は $n+m$ 個の複数個で配置され、アドレスバッファ37は、 n 個のロウアドレスバッファと m 個のカラムアドレスバッファとで構成されている。そして、 n 個のロウアドレスバッファがロウセクタ32に接続され、 m 個のカラムアドレスバッファがカラムセクタ33に接続されている。同様に、データバス63が k ビットであると、これに対応して、I/Oパッド20は k 個の複数個で配置され、入力バッファ回路39と出力バッファ回路1はそれぞれ k 個の複数個で構成されることになる。

【0051】書き込み時には、I/Oパッド20から入力された書き込みデータが入力バッファ回路38を介してライトバッファ35へ与えられ、メモリアレイ31中の所望の書き込みセルに書き込まれる。一方、読み出し時には、選択された読み出しセルから読み出された読み出しデータが、センスアンプ34を介して出力バッファ回路1へ与えられ、該出力バッファ回路1からI/Oパッド20を介してチップ外部へ駆動されるようになってくる。なお、タイミングコントロール回路39からバッファ40を介してタイミング制御信号がロウセクタ32、カラムセクタ33、センスアンプ34、及びライトバッファ35に供給されて、書き込み時または読み出し時における動作タイミングのコントロールが行われる。

【0052】そして、メモリチップ30内部には、出力バッファ回路1のインピーダンスを自動調整する出力インピーダンス制御回路10が設けられている。

【0053】具体的には、従来と同様に、マッチングすべきインピーダンスを指定するための外部抵抗 RQ をZQ端子に接続し、メモリチップ30内部では、出力バッファ回路1のインピーダンスが外部抵抗 RQ の値（あるいはその定数倍）になるように、出力バッファ回路1のトランジスタサイズが調整される。即ち、出力バッファ回路1と同様の回路形式を持つ（あるいはサイズが定数倍）ダミーバッファ回路 Ndm 、 Pdm のトランジスタサイズを変化させながら、該ダミーバッファ回路 Ndm 、 Pdm のインピーダンスが外部抵抗 RQ と等しくなるようなサイズを探し、その結果を出力バッファ回路1

に反映させている。

【0054】本実施形態では、図3に示すように、出力バッファ回路1がPMOSTランジスタからなるプルアップ用トランジスタ群1aとNMOSTランジスタからなるプルダウン用トランジスタ群1bで構成されているものとし、上述のようなインピーダンスの合わせ込み制御を、出力バッファ回路1のプルアップ用トランジスタ群1aとプルダウン用トランジスタ群1bにそれぞれ対応した回路形式を持つダミーバッファ回路Pdm、Nd mを用いて、二系統で行うものである。

【0055】まず、プルダウン用トランジスタ群1bのインピーダンスを調整するためのプルダウン制御系について説明する。

【0056】図2に示すように、本実施形態のインピーダンス制御回路10は、ZQ端子に直列接続されたPMOSTランジスタP1と、PMOSTランジスタP1とゲート及びソースをそれぞれ共通としたPMOSTランジスタP2とを備えている。

【0057】PMOSTランジスタP1のゲートレベルは、ZQ端子の電圧VZQが出力バッファ回路1における出力駆動用電源電圧VDDQの二分の一のレベルとなるように、オペアンプOP1によってレベル制御される。

【0058】具体的には、従来と同様に分圧抵抗Ra、Rbと活性化用NMOSTランジスタN20からなる電圧発生回路によりVDDQ/2なる基準電圧を生成し、この基準電圧VDDQ/2はオペアンプOP1の反転入力端子に入力され、その出力より制御されるPMOSTランジスタP1、P2のうち、PMOSTランジスタP1のドレインをオペアンプOP1の非反転入力端子に帰還することにより、ZQ端子には基準電圧VZQ=VDDQ/2が与えられる。

【0059】そして、図8の従来例と同様にオペアンプOP2とアップ/ダウンカウンタ224とを有する合わせ込みコントローラ213は、PMOSTランジスタP2とダミーバッファ回路Nd mとの接続ノードREFIUのレベルが、VDDQ/2のレベルとなるように、アップ/ダウンカウンタ224の出力データD0、D1、…DN-1により、ダミーバッファ回路Nd mのNMOSTランジスタ群N31、N32、…、N33に対して選択的に導通、非導通を制御する。

【0060】さらに、アップ/ダウンカウンタ224の出力データD0、D1、…DN-1は、図3に示すように、レジスタ51を介してデータ更新コントローラ52に供給される。データ更新コントローラ52は、合わせ込みコントローラ213の制御結果であるアップ/ダウンカウンタ224の出力データD0、D1、…DN-1に基づいて、出力バッファ回路1のプルダウン用トランジスタ群1bに対して選択的に導通、非導通を制御する。

【0061】次に、プルアップ用トランジスタ群1aの

インピーダンスを調整するためのプルアップ制御系について説明する。

【0062】図2に示すように、本実施形態のインピーダンス制御回路10は、前記PMOSTランジスタP1とゲート及びソースをそれぞれ共通としたPMOSTランジスタP3と、このPMOSTランジスタP3と直列接続されたNMOSTランジスタN1と、NMOSTランジスタN1とゲート及びソースをそれぞれ共通としたNMOSTランジスタN2とを備えている。

10 【0063】また、PMOSTランジスタP3とNMOSTランジスタN1の共通ノードa1のレベルがVDDQ電源の二分の一のレベルとなるように、オペアンプOP4によってNMOSTランジスタN1のゲートレベルが制御される。

【0064】そして、図8の従来例と同様にオペアンプOP3とアップ/ダウンカウンタ225とを有する合わせ込みコントローラ215は、PMOSTランジスタP2とダミーバッファ回路Pdmとの接続ノードREFIDのレベルが、VDDQ/2のレベルとなるように、アップ/ダウンカウンタ225の出力データU0、U1、…UM-1により、ダミーバッファ回路PdmのPMOSTランジスタ群P31、P32、…、P33に対して選択的に導通、非導通を制御する。

【0065】さらに、アップ/ダウンカウンタ225の出力データU0、U1、…UM-1は、図3に示すように、レジスタ53を介してデータ更新コントローラ52に供給される。データ更新コントローラ52は、合わせ込みコントローラ215の制御結果であるアップ/ダウンカウンタ225の出力データU0、U1、…UM-1に基づいて、出力バッファ回路1のプルアップ用トランジスタ群1aに対して選択的に導通、非導通を制御する。

【0066】このようにして、マッチングすべきインピーダンスを指定するための外部抵抗RQをZQ端子に接続することにより、出力インピーダンス制御回路10は、出力バッファ回路1のインピーダンスが外部抵抗RQの値（あるいはその定数倍）になるように、出力バッファ回路1のトランジスタサイズを自動調整することができる。

【0067】以下、本発明の特徴を成す出力バッファ回路1について、図1を参照して説明する。

【0068】この出力バッファ回路は、最終出力段の各NMOSTランジスタ1b-11～1b-15のゲートを駆動する出力前段CMOS回路1b-6～1b-10の電源が、VDDレベルではなく、VDDQレベルで駆動されている点が、従来回路（図9）と異なる。

【0069】具体的には、本実施形態の出力バッファ回路は、プルアップ側とプルダウン側の二系統のインピーダンス合わせ込みが行われるように、プルアップ用の出力インピーダンス制御回路10aに接続されたプルアップ用トランジスタ群1aと、プルダウン用の出力インピ

インピーダンス制御回路10bに接続されたプルダウン用トランジスタ群1bとで構成されている。

【0070】プルアップ用トランジスタ群1aは、初段CMOS回路1a-1~1a-5と、出力前段CMOS回路1a-6~1a-10と、出力段のPMOSTランジスタ1a-11~1a-15とで構成され、プルダウン用トランジスタ群1bは、初段CMOS回路1b-1~1b-5と、出力前段CMOS回路1b-6~1b-10と、出力段のNMOSTランジスタ1b-11~1b-15とで構成されている。

【0071】プルアップ側においては、初段CMOS回路1a-1~1a-5には、出力インピーダンス制御回路10aから出力されたインピーダンス制御用の制御信号UNと、出力イネーブル(/OE)とが入力され、さらに出力前段CMOS回路1a-6~1a-10には、チップ内部回路からの出力データDoutと前記初段CMOS回路1a-1~1a-5の出力とが入力される。そして、出力前段CMOS回路1a-6~1a-10の出力(VDDQレベル)が出力段のPMOSTランジスタ1a-11~1a-15のゲートに印加されるようになっている。

【0072】一方、プルダウン側においては、初段CMOS回路1b-1~1b-5には、出力インピーダンス制御回路10bから出力されたインピーダンス制御用の制御信号UMと、出力イネーブル(OE)とが入力され、さらに出力前段CMOS回路1b-6~1b-10には、チップ内部回路からの出力データDoutと前記初段CMOS回路1b-1~1b-5の出力とが入力される。そして、出力前段CMOS回路1b-6~1b-10の出力(VDDQレベル)が出力段のNMOSTランジスタ1b-11~1b-15のゲートに印加されるようになっている。

【0073】さらに、出力段のPMOSTランジスタ1a-11~1a-15及びNMOSTランジスタ1b-11~1b-15の各ドレインがI/Oパッド20に共通接続されている。

【0074】出力前段CMOS回路1b-6~1b-10を駆動するのは、初段CMOS回路1b-1~1b-5のVDDレベルの論理であり、出力前段がVDDQの論理となるが、VDDQはVDDよりも低い電位である場合を考えているので、この間の駆動において、特別なレベルシフト回路は必要なく、VDDとVDDQ電位の差に応じて出力前段CMOS回路1b-6~1b-10の回路閾値を傾けることによって、信号伝達の遅延のズレを回避することは容易である。

【0075】これにより、NMOSTランジスタ1b-11~1b-15をオンさせる際のゲート“H”レベルがVDDでなくVDDQとなる訳であるが、ここで、電源電圧変動に対してのインピーダンス補正を考える。

【0076】今、インピーダンスを定義するバイアス状

態で、本実施形態では、NMOSTランジスタ1b-11~1b-15のゲート“H”レベルがVDDQ、ドレインレベルがVDDQ/2で駆動されることになるため、電源電圧VDDの変動の影響は受けないことになり、図9の従来例で述べたVDD変動に伴う電流値の増減に対するマージンを設定する必要がなくなる。

【0077】さらに、VDDQが変動した場合のインピーダンス変動に対しても、誤差が少なくなる。つまり、VDDQが高い方に変動した場合、電流値はリニアに増加することが望ましい。しかし、MOSTランジスタの電流特性はリニアではないために、ドレイン電圧の増加のみを考えると、ドレイン電流はリニアには増加せず、リニアな特性に対して少ない電流にしか増加しない。ここで、ゲート電圧がVDDQとなっていると、ゲート電圧の上昇分での電流増加があり、電流は増加する。これらの関係を説明するためのシミュレーション例の結果を図6で説明する。

【0078】図中のS1は、インピーダンスが理想的に一定値をとった場合のI-V特性であり、S2は、VDDQが標準値VDDQ0にあるときのMOS電流特性であり、ドレイン電位がVDDQ0/2の時にa点になる。ここで、VDDQが0.1V高い方へ変動してVDDQ1にシフトした場合を考える。理想的には、S1の上のb点にシフトすべきである。

【0079】今、ゲート電位が一定で変わらないというケースを考えると、S2のMOS特性上のc点に移ることになり、MOSのI-V特性がリニアでないので、理想点bよりも電流が減少することになる。さらに実際には、ゲート電位を一定とすることはできず、従来例のようにVDDで駆動した場合の最悪ケースは、VDDが減る(例えば、標準値=1.8Vに対して-5%の1.71V)場合を考えると、ゲート電位が下がる分、MOSのI-V特性は下側にシフトして、S3のd点になる。この場合、理想点bに対して、電流値は26%も減少してしまい、大きな誤差を生じる。

【0080】一方、ゲートをVDDQで駆動した場合、ゲート電位が上がる分、MOSのI-V特性は上にS4のようにシフトしてe点となり、理想的なb点よりは、大きい方にずれる。しかし、b点からのシフト量は10%と、従来例の場合の誤差26%に比べて半減以下と大幅に誤差が改善されている。

【0081】図9の従来例において、NMOSTランジスタのゲートをVDD駆動していたのは、他のCMOS回路の延長線上で自然な流れであるだけでなく、VDD>VDDQの場合、同じサイズのMOSにおいて電流駆動力が大きくとれて、スピード性能的に有利であるためである。これは、出力バッファ回路での信号遅延を小さくして、なるべく高速動作をさせようという従来の思想からは自然な考え方で妥当である。

【0082】しかし、プログラムインピーダンス制御を

用いる基本思想としては、駆動力で I/O を高速動作させることでの、インピーダンスマッチングに伴う信号反射の問題などで、むやみに高速動作させるというよりは、出力バッファ回路と出力負荷とのインピーダンスの整合をとることで、反射などの問題を回避し、I/O 信号を受け取る相手方デバイスの入力信号を最高速で歪みのない波形にしようというものである。さらに、電源電圧のスケーリングに伴い、仕様上の許容変動値と同じ 0.1V といった値の、電源に対する変動割合が増加してきたこと、サブスレショルド電流の制約から閾値を下げるのが難しくなってきたこと電源に対する Vth マージンが悪化してきていることなどから、電源変動に対する動作マージンの問題が大きくなってきており、従来例のように、プルダウン側の出力段である NMOS トランジスタのゲートを VDD 駆動するのは、メリットよりもデメリットが大きくなっている。

【0083】これに対して本実施形態では、プルダウン側の出力段である NMOS トランジスタ 1b-11~1b-15 のゲートを、周辺回路用の電源 VDD ではなく、出力用の電源 VDDQ により駆動して、NMOS トランジスタ 1b-11~1b-15 のゲートノードを VDDQ/VSS 間の論理を持って駆動する。これにより、電源電圧の変動に対する出力トランジスタの電流駆動力のバラツキを抑制でき、プログラマブルインピーダンス制御を行う際に要求されたインピーダンス範囲をカバーするために設定すべき、出力トランジスタ 1b-11~1b-15 のサイズ設定範囲を狭めることが可能となり、結果として、より精度の良いインピーダンス合わせ込みが可能となる。

【0084】一方、プルアップ側の PMOS トランジスタ 1a-11~1a-15 については、図 10 で述べた駆動スピードの問題から従来例と同様に、出力前段 CMOS 回路 1a-6~1a-10 による VDDQ 駆動が行われ、PMOS トランジスタ 1a-11~1a-15 のゲート、ドレインレベルは、どちらも VDDQ で制御されていて、上記プルダウン側と同様の効果が得られている。

【0085】

【発明の効果】以上詳細に説明したように、本発明によれば、電源電圧の変動に対する出力トランジスタ群の電流駆動力のバラツキを抑制することが可能になる。これにより、出力バッファ回路のインピーダンス制御を行うに際し、要求されたインピーダンス範囲をカバーするために設定すべき、出力トランジスタ群のサイズ設定範囲を狭めることができるため、高精度のインピーダンス合

わせ込みを行うことが可能になる。

【図面の簡単な説明】

【図 1】本発明の実施の一形態に係る半導体装置の出力バッファ回路の構成を示す回路図である。

【図 2】本実施形態に係る半導体装置に設けられた出力インピーダンス制御回路の要部回路図である。

【図 3】出力インピーダンス制御回路の要部ブロック図である。

【図 4】図 1 に示した出力バッファ回路と出力インピーダンス制御回路を備えた半導体装置であるメモリチップの主要構成ブロック図である。

【図 5】実施形態の半導体装置であるメモリチップが搭載されたシステム図である。

【図 6】実施形態の効果を示す特性図である。

【図 7】従来のプログラマブルインピーダンス制御機能の全体な構成を示すブロック図である。

【図 8】二系統のインピーダンス合わせ込みが行われる従来の出力インピーダンス制御回路の構成を示す回路図である。

【図 9】従来の出力バッファ回路の構成を示す回路図である。

【図 10】駆動電源の相違による PMOS トランジスタの特性を示す特性図である。

【図 11】インピーダンスカバー範囲の条件依存を示す図である。

【図 12】インピーダンスの VDDQ 依存の概念図である。

【符号の説明】

1a プルアップ用トランジスタ群

30 1b プルダウン用トランジスタ群

1a-1~1a-5, 1b-1~1b-5 初段 CMOS 回路

1a-6~1a-10 出力前段 CMOS 回路

1a-11~1a-15 出力段の PMOS トランジスタ

1b-1~1b-5 初段 CMOS 回路

1b-6~1b-10 出力前段 CMOS 回路

1b-11~1b-15 出力段の NMOS トランジスタ

40 10a プルアップ用の出力インピーダンス制御回路

10b プルダウン用の出力インピーダンス制御回路

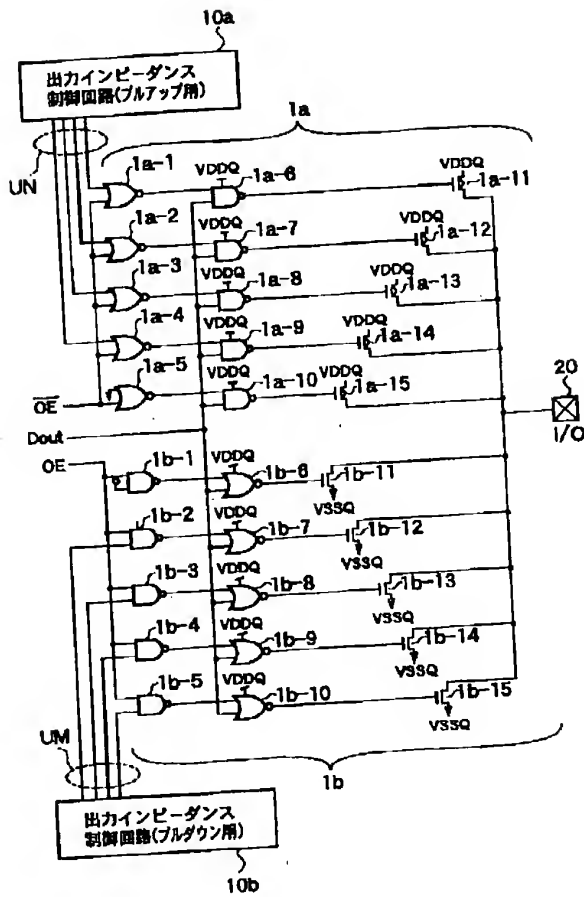
20 I/O パッド

UN, UM インピーダンス制御用の制御信号

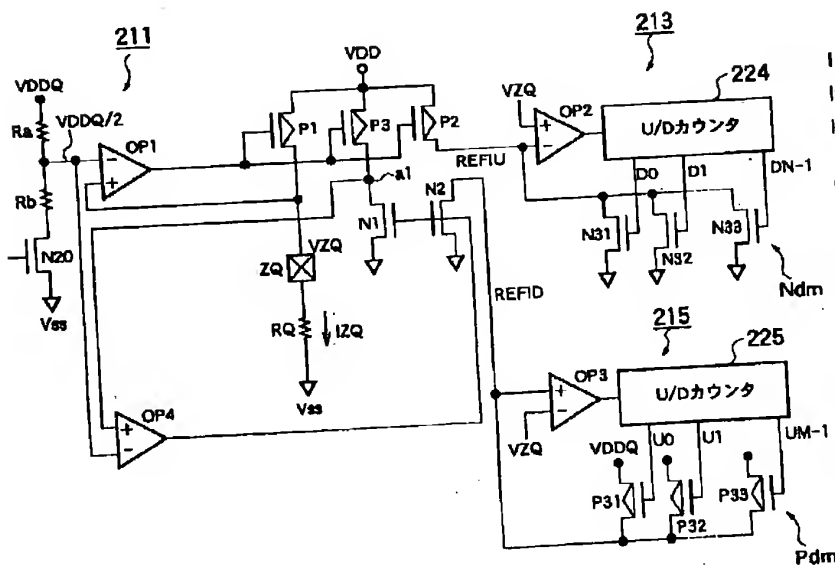
OE, /OE 出力イネーブル

Dout 出力データ

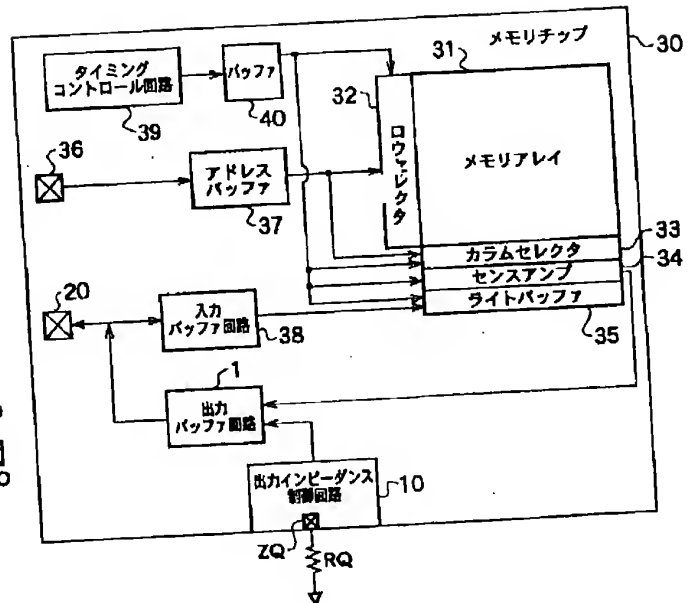
【図 1】



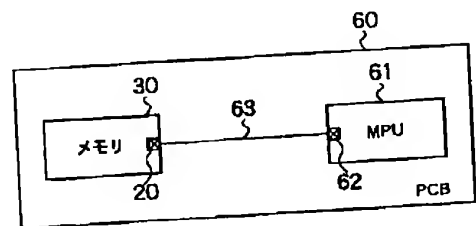
【図 2】



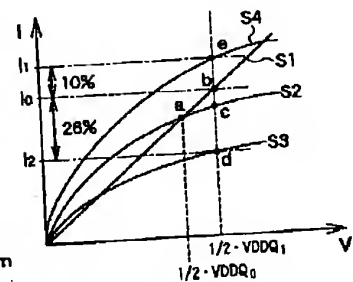
【図 4】



【図 5】

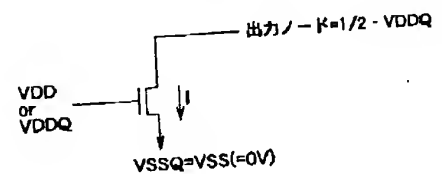


【図 6】

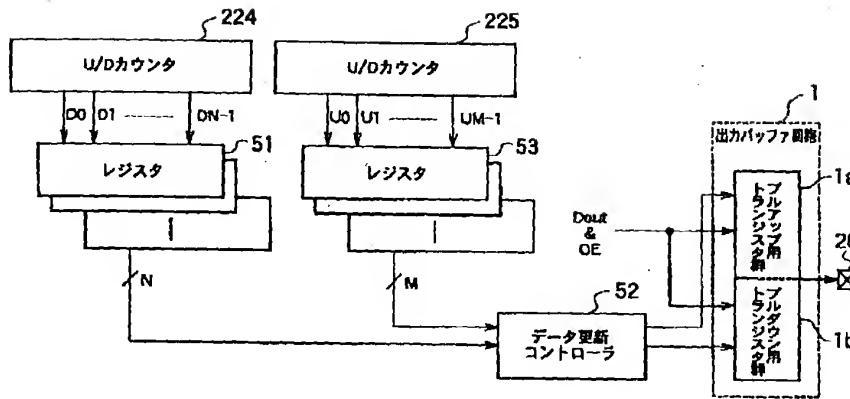


I_0 : 感測の電流値
 I_1 : VDDQ駆動時の電流値
 I_2 : VDD駆動時の電流ワースト値

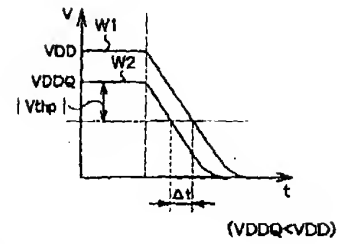
【図 12】



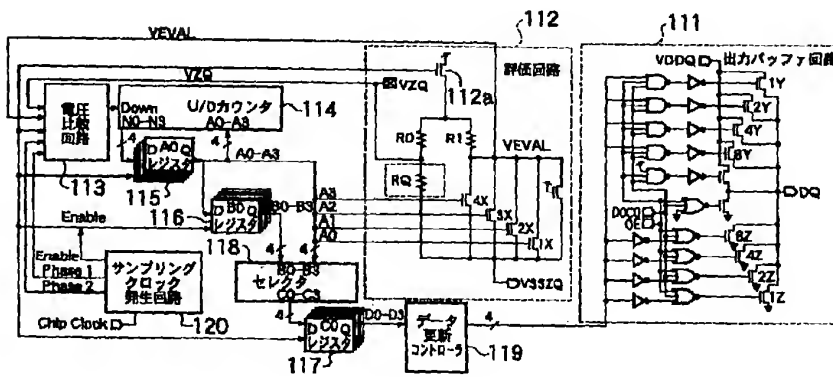
【図 3】



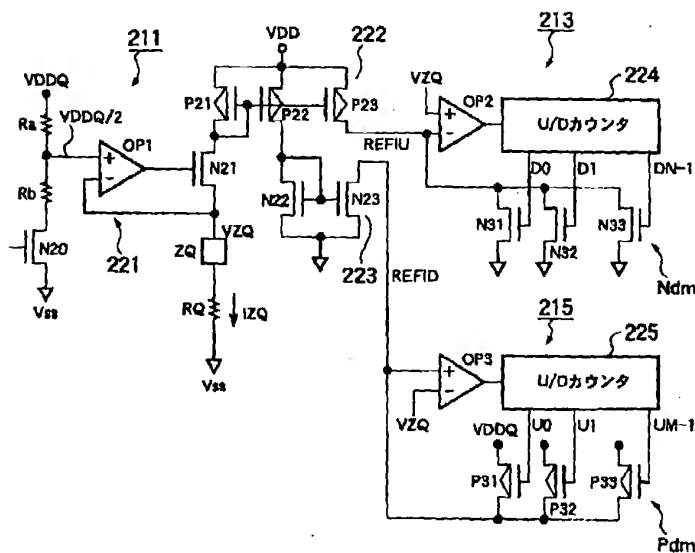
【図 10】



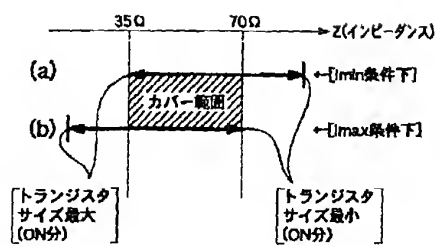
【図 7】



【図 8】



【図 11】



【図 9】

